

#4 priority paper 7-25-01 R. H. H. H.



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원번호 : 특허출원 2000년 제 58101 호  
Application Number

출원년월일 : 2000년 10월 04일  
Date of Application

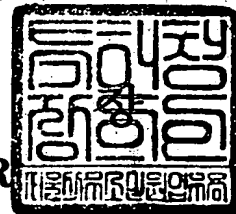
출원인 : 주식회사 실트론  
Applicant(s)



2000 년 12 월 12 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.10.04
【발명의 명칭】	반도체 웨이퍼의 열처리 방법 및 이를 통해 제조된 반도체 웨이퍼
【발명의 영문명칭】	Thermal treatment of semiconductor wafer and semiconductor wafer fabricated by the thermal treatment
【출원인】	
【명칭】	주식회사 실트론
【출원인코드】	1-1998-096505-7
【대리인】	
【성명】	송만호
【대리인코드】	9-1998-000261-1
【포괄위임등록번호】	1999-018695-7
【대리인】	
【성명】	김원호
【대리인코드】	9-1998-000023-8
【포괄위임등록번호】	1999-018693-2
【발명자】	
【성명의 국문표기】	문영희
【성명의 영문표기】	MUN, Young Hee
【주민등록번호】	661220-1683711
【우편번호】	730-030
【주소】	경상북도 구미시 공단동 256 공단 3주공 아파트 316동 20호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 송만호 (인) 대리인 김원호 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원

1020000058101

2000/12/1

【우선권주장료】

0      건                      0      원

【심사청구료】

16      항                      621,000      원

【합계】

650,000      원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자에 사용되는 웨이퍼의 열처리 방법 및 이를 통해 제조된 반도체 웨이퍼에 관한 것으로, 본 발명에서는 반도체 웨이퍼를 1200℃ 이상의 온도에서 1단계 열처리한 후, 800℃ 이하의 온도에서 급속열처리(RTA : rapid thermal annealing) 공정으로 2단계 열처리함으로써, 그로운인 결함이 제거되고 내부에 BMD가 형성되어, 표면으로부터 소정깊이로 무결함층이 형성된 반도체 웨이퍼를 제조한다.

**【대표도】**

도 2

**【색인어】**

열처리, 그로운인 결함, BMD, 무결함층

## 【명세서】

## 【발명의 명칭】

반도체 웨이퍼의 열처리 방법 및 이를 통해 제조된 반도체 웨이퍼 {Thermal

treatment of semiconductor wafer and semiconductor wafer fabricated by the thermal treatment}

## 【도면의 간단한 설명】

도 1a는 임의의 결정성장 조건으로 성장된 실리콘 단결정봉을 수직방향으로 자르고, 1000℃ 정도의 고온에서 오랜 시간 동안 열처리한 후, 산소 석출 거동을 XRT(X-ray topography)를 이용하여 측정한 사진이다.

도 1b는 FTIR을 이용하여 웨이퍼 반경 방향으로 열처리 전,후의 산소농도 차를 관찰한 결과이다.

도 2는 본 발명에 따라 제조된 실리콘 웨이퍼의 단면도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <4> 본 발명은 반도체 소자에 사용되는 웨이퍼 제조방법에 관한 것으로, 더욱 상세하게는 열처리를 통해 이상적인 반도체 소자의 웨이퍼를 제조하는 방법에 관한 것이다.
- <5> 일반적으로 실리콘 웨이퍼를 제조하는 방법으로 플로우팅존(floating zone : FZ) 방법 또는 초크랄스키(Czochralski : CZ, 이하 CZ라 칭한다) 방법을 많이 사용하여 왔다. 이들 방법 중에서 가장 일반화되어 있는 방법이 CZ 방법이다.

<6> CZ 방법에서는 석영 도가니에 다결정 실리콘을 장입하고, 이를 흑연 발열체에 의해 가열하여 용융시킨 후, 용융 결과 형성된 실리콘 용융액에 종자결정을 담그고 계면에서 결정화가 일어날 때 종자결정을 회전하면서 인상시킴으로써 단결정의 실리콘 잉곳을 성장시킨다.

<7> CZ 방법의 특징은 석영 도가니를 이용하여 실리콘 용융액으로부터 결정을 성장하기 때문에, 결정성장 중에  $10^{17} \sim 10^{18}$  개/cm<sup>3</sup>의 산소가 불순물로 유입된다는 것이다. 이러한 불순물 산소는 실리콘 웨이퍼의 기계적 강도 및 결함 등의 생성에 큰 영향을 미친다.

<8> 또한, 석영 도가니 내에서 일정량의 실리콘 용융액으로부터 결정이 성장되므로 편석에 의한 결정성장 축 방향으로 불순물 분포의 불균일성과 열이력 차이에 기인하는 불균일성이 발생된다. 이러한 불균일성들은 단결정 내의 결정결함 분포형태에 큰 영향을 준다.

<9> 즉, 결정성장 시 결정의 인상속도와 성장계면에서의 온도기울기의 비에 의해서, 결정결함들이 공공형(vacancy type)으로 존재할지, 격자간 침입형(interstitial type)으로 존재할지, 또는 혼용된 형태로 존재할지가 결정된다.

<10> 지금까지 많은 연구자들이 노력한 결과, V.V. Voronkov의 논문(Journal of Crystal Growth V59, (1982), 625)에서는, 일반적인 결정성장 조건에서 발생하는 오에스에프 링(OSF ring)의 내부영역에는 베이컨시가 풍부한(vacancy-rich type)

의 결함들이 존재하고, OSF 링의 외부영역에는 인터스티셜이 풍부한 (interstitial-rich type)의 결함들이 주로 존재한다는 것을 밝혔으며, 이 때, OSF 링은 반도체 소자의 동작에 큰 영향을 주는 것으로 잘 알려져 있다. 그러므로, 결정성장시 OSF 링을 실리콘 잉곳의 중심부로 수축시켜서 제거하는 것과, 또는 잉곳의 가장자리 쪽으로 빼내어서 제거하는 것 중 어느 것이 반도체 소자의 특성에 좋은 영향을 미치는 지에 대해서 많은 연구가 진행되어져 왔다.

<11> 그러나 이들 두 방법의 결정성장 조건에는 결정성장 시 그로운인(grown-in) 결함들이 수반된다는 문제점이 있다. 따라서, 이러한 그로운인 결함들을 제거하여 완벽한 무결함 실리콘 단결정을 성장하기 위해 결정 인상속도( $V$ )와 성장 계면 근처의 결정 내 온도 기울기 분포( $G$ )의 비를 잘 조절함으로써 무결함 단결정을 성장하는 방법들이 보고되었다

<12> 보고되어진 무결함 단결정을 성장하는 방법은 다음과 같다. Grower내부에 존재하는 핫존(Hot-zone) 구조가 일정한 경우  $G$ 값은 결정되어지게 된다. 그럼 여기서 변화될 수 있는 변수는  $V$ 값에 의해서  $V/G$ 값이 결정되게 된다. 그러므로  $V$ 값에 의해서 잉곳 내부의 결정결함 분포, 결함 크기, 밀도 등이 결정되어진다.

<13> 즉, OSF링을 수축하여 제거하고자 하는 경우, 결정성장 인상 속도를 감소 함으로써 가능하여진다. 이것은 도1a에서 보여지는 도면을 참조하여 보면 쉽게 알 수 있다. 이 도면은, 결정 인상속도를 점점 감소시키면서 성장한 단결정 봉을 수직방향으로 자른 후 1000℃정도의 고온에서 열처리 하고 XRT로 측정한 결과이다. 비록 이 결과에서는 완벽하게 OISF 링이 수축되어지는 결과가 나타나지 않지만, 결정 인

상속도를 더욱 더 줄인다면 완벽하게 OSF링을 단결정 붕의 성장 축 방향 중심부로 완벽하게 수축하여 제거할 수 있으며, 이를 통하여 무결함 단결정 붕을 성장할 수가 있는 것이다.

<14> 그러나, 이 방법에서 결정 인상속도를 천천히 하여 산소 농도를 조절하는 것은 매우 어렵고 또한 웨이퍼 생산성이 매우 저하된다. 즉, 웨이퍼 생산성 저하와 산소 농도 조절의 어려움으로 인하여 반도체 소자 제작 시 수반될 수 있는 금속 불순물들을 제거해주는 게터링 능력을 가지는 것은 매우 어렵다. 그러므로 현재 웨이퍼 제조업체에서는 그로운인 결함들을 제거하기 위한 기술과 게터링 능력을 강화하기 위한 기술을 각각 별도의 방법으로 개발하여 사용 하여 왔다.

<15> 그로운인 결함들의 제거는 결정성장 과정에서 완벽하게 제어하는 실리콘 결정성장 기술(결정인상 속도 저감 기술 및 G값 개선을 위한 핫존 구조 개량기술을 조합한 기술)을 이용하였으며, 게터링 능력의 강화가 필요한 경우, 외부 게터링 (external gettering) 방식을 이용하여 왔다.

<16> 즉, 반도체 소자의 종류에 따라서 습식 블라스터(wet blaster) 공정이나 폴리백실(poly - backseal) 공정을 별도로 추가하는 외부 게터링 방식을 사용하기도 하지만, 이 경우 웨이퍼에 충격을 가하거나 막을 성장함에 따라 웨이퍼가 오염될 수 있는 문제와 웨이퍼 제조비용이 더욱 더 증가하는 문제점을 가지고 있다.

<17> 그러므로, 많은 웨이퍼 제조업체들이 산소 농도를 이용한 내부 게터링 방식을 선호하고 있지만, 최근 반도체 소자의 선폭이  $0.2\mu\text{m}$  이하인 초미세 공정과 고에너지 이온주입 공정을 적용하여 낮은 온도 공정을 사용함에 따라서 내부 게터링 방



법을 사용하는데 한계가 발생하게 되어 내부 게터링 방식을 통한 금속 불순물 등의 결함들을 제거하는 것을 매우 어렵다.

<18> 따라서, 웨이퍼 제조업체에서는 그로운인 결함을 제거하면서, 고밀도의 BMD를 만들 수 있는 핵(nuclei)을 웨이퍼 내에 형성시킴으로써 게터링 능력이 강화된 가장 이상적인 웨이퍼를 제조하는 데에 많은 관심을 가지고 있다.

<19> 일반적으로 실리콘 단결정을 성장할 때, 결정성장 조건에 따라서 여러 가지 띠(band)들이 나타나게 된다. 이러한 여러 가지 띠들이 도 1a에 도시되어 있다.

<20> 도 1a는 임의의 결정성장 조건으로 성장된 실리콘 단결정봉을 수직방향으로 자르고, 1000℃ 정도의 고온에서 오랜 시간동안 열처리한 후, 산소 석출 거동을 XRT(X-ray topography)를 이용하여 측정한 사진이다.

<21> 도 1b는 FTIR을 이용하여 웨이퍼 반경 방향으로의 산소농도 차를 관찰한 결과이며, 숫자는 산소농도를 ppma(new ASTM 기준) 단위로 표시한 것이다. 이 때, XRT 결과는 산소 석출 정도에 따라서 X-ray 회절 강도가 다르게 나타나는 성질을 이용한 것이다.

<22> 도 1a에 도시된 바와 같이, 여러 가지 띠들이 존재하는데, 그 중에서 D로 표시된 OSF ring과 B와 C로 표시된 영역은 소자의 특성에 큰 영향을 미치며 또한 매우 중요한 결정학적인 의미를 가지고 있다. 이 때, B와 C로 표시된 영역은 초기 산소농도와 열처리 후 산소 농도의 차인 델타 [O<sub>i</sub>]가 급격하게 증가되는 영역으로서, 일반적으로 고밀도 BMD의 형성이 매우 용이한 영역으로 판단할 수 있다.

<23> 그러나, B, C 영역이 고밀도의 BMD를 형성하는 것은 용이하지만, 이러한 B,

C 영역에는 결정성장 조건 즉 결정성장 시 수반되는 열이력(thermal history)에 따라서 베이컨시 클러스터(vacancy cluster)에 해당되는 결함들이 존재할 수 있다. 그러므로 이들 영역에서 베이컨시 클러스터와 관련된 결함들이 형성되지 않는 결정성장 조건으로 결정을 성장하여야 한다.

<24> 그로운인 결함들을 제거하는 결정성장 방법은 이러한 OSF 링을 결정의 성장 축 방향의 중심으로 수축시켜서 완전히 제거함과 동시에 인터스티셜 클러스터(interstitial cluster)와 관련된 결함들, 즉 엘디피(LDP : large dislocation particle)가 발생되지 않는 결정성장 조건으로 그로운인 결함들이 나타나지 않는 이상적인 실리콘 결정을 성장하는 방법이다.

<25> 그러나 이러한 기술들은 많은 기술적인 어려움을 가지고 있으며, 또한 OSF 링을 수축하기 위하여 결정 인상속도를 빠르게 할 수 없는 기술적 어려움으로 인해 실리콘 단결정봉의 제조비용이 크게 증가되는 어려움이 있다. 그러므로 이러한 기술적 어려움과 웨이퍼 제조비용의 증가를 피하기 위해 OSF 링을 수축하는 것이 아니라 반대로 OSF 링의 내부영역을 결정성장 축 중심에서 가장자리 쪽으로 이동시켜서 제거한 후 임의의 열처리 과정을 통하여 그로운인 결함들을 제거하고 또한 고밀도의 BMD를 형성시키는 방법들이 보고되어져 왔다.

<26> 그러나, 이 방법은 단순히 OSF 링을 가장자리로 확장하여 제거하여 주고, 델타 [0i]가 급격하게 증가되는 영역인 B, C를 만들어주는 것이 아니라, 웨이퍼 전체적으로 A 영역을 형성한 후, 임의의 열처리를 통하여 단지 그로운인 결함만을 제거하는 것으로, 고밀도의 BMD 형성에는 많이 어려움이 있다.

<27> 일반적으로 반도체 소자가 고집적화 되어감에 따라 초크랄스키법으로 제조된 실리콘

콘 웨이퍼의 표면 영역, 즉 소자의 활성층으로부터 결정 결함들이나 금속 불순물들을 제거하여 무결합층을 만드는 것이 매우 중요해지고 있다. 이를 위해 많은 연구가 진행되어 왔는데, 무결합층을 만들기 위한 방법에는 다음과 같은 것들이 있다.

<28> 첫 번째 방법은 결정성장 단계에서 무결합 결정을 성장하는 방법이다. 이 방법을 통하면 결정성장 동안에 기인될 수 있는 결정결함, 예를 들면 씨오피(COP : crystal originated particle, 이하 COP라 한다)와 같은 그로운인 결함들을 제거하는 것은 가능하지만, 반도체 소자 제조공정에서 발생하는 중금속 불순물 등을 제거하기 위한 고밀도의 비엠디(BMD : bulk micro-defect, 이하 BMD라 칭한다) 형성이 어렵다는 단점이 있고, 실리콘 단결정 성장 속도를 빠르게 할 수 없는 기술적인 어려움으로 인해 웨이퍼의 제조 비용이 상승되는 중대한 단점을 가지고 있다.

<29> 두 번째 방법은 MEMC의 Faulster 등이 발표한 방법으로서, 임의의 결정성장 조건으로 제조된 실리콘 웨이퍼에 대해 급속 열처리(RTA : rapid thermal annealing, 이하 RTA라 칭한다)공정으로 열처리하여 결정 성장 시 발생하는 그로운인 결함들을 제거하고 웨이퍼 표면으로부터 일정한 깊이에 고밀도 BMD를 형성할 수 있는 핵을 만들어 주는 장점이 있다.

<30> 그러나 이 방법에서는 고온 RTA 공정을 이용하기 때문에 열적 손상(thermal damage)에 기인한 슬립 전위(slip dislocation)가 발생되며, 이러한 슬립 전위는 소자의 동작에 치명적인 악영향을 미치는 문제점이 있다. 또한, 고온 RTA 공정은 60초 이하의 짧은 시간동안 이루어지기 때문에 소자의 활성층 영역 내에 결정 성장 동안 만들어진 그로운인 결함들이 완전히 제거되지 않고 잔존하는 문제점이 있다.

<31> 세 번째 방법은 임의의 공정 조건으로 제조된 실리콘 웨이퍼 위에 실리콘 에피택셜(epitaxial) 층을 성장시켜 완벽한 소자의 활성층을 확보하는 방법이다. 그러나 이 방법에서는 에피택셜 층 성장을 위한 공정의 추가로 인해 웨이퍼 제조 비용이 증가되고, 또한 금속 불순물과 같은 결함들을 제거하기 위한 별도의 공정 조건이 추가되어야 하는 어려움이 있으며, 에피택셜 층의 품질을 안정화시켜야 하는 문제점이 있다.

<32> 또한, 지금까지 보고된 열처리 방법에는 대표적으로 두 가지 방법이 있다.

<33> 첫 번째 방법은, 수직 확산로(vertical diffusion furnace)를 이용하여 1200℃ 정도의 고온에서 수소 분위기로 열처리하여 그로운인 결함들을 제거하는 방법이고, 두 번째 방법은 급속 열처리 장치인 RTA를 이용하여 1250℃ 정도의 고온에서 질소나 아르곤 분위기에서 열처리하여 그로운인 결함들을 제거하는 방법이다.

<34> 첫 번째 방법의 경우, 그로운인 결함들의 제거에는 상당한 효과가 있지만, 고밀도의 BMD를 형성할 수 없는 것으로 나타났다. 특히, 순수 수소 분위기에서 열처리를 하는 경우, 웨이퍼 표면에 계단형의 테라스(terrace) 구조가 발생되는데, 이들 표면 특성이 소자의 특성에 어떤 영향을 주는지에 대해서는 명확히 설명되지 않지만, 미소 영역의 표면 거칠기(micro-roughness)에는 큰 영향을 주지 않으나 이보다 더 큰 영역의 표면 거칠기(macro-roughness)에는 영향을 줄 것으로 판단된다.

<35> 두 번째 방법의 경우, 고밀도의 BMD를 형성하는 것이 용이하지만, 급속 냉각방법을 이용하는 RTA의 특성상 1000℃ 이상의 고온에서 열처리를 하는 경우 열적 손상에 기인한 슬립 전위(slip dislocation)가 발생하는 문제점이 있고, 웨이퍼의 휨(warp) 또는 구부러짐(bow)이 발생하는 등의 공정상의 어려움이 있으며, 또한 샘플을 지지하는 지지대와 샘플 사이의 접촉부분에서 기계적 손상(mechanical damage)이 자주 발생하는 문제점

이 있다. 또한 공정시간이 수십초 내에서 이루어지기 때문에 완벽하게 그로운인 결함이 제거되지 않고 소자의 활성층 내에 그로운인 결함이 잔존하는 큰 단점을 가지고 있다.

가【발명이 이루고자 하는 기술적 과제】

<36> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 고온 열처리로 인한 열적 손상이 없고 그로운인 결함이 완전히 제거되고, 또한 현재 반도체 소자의 수율에 큰 영향을 미치고 있는 그로운인 결함과 공정상의 불순물이나 소자의 활성층에 존재하는 BMD가 효과적으로 제거된 고품질 웨이퍼의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<37> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 단결정 성장시 OSF 링을 단결정 성장 축 방향의 중심에서 가장자리로 완전히 빼내고, B, C 영역을 확장시켜 잉곳을 제조한 후, 그 잉곳으로부터 제작된 웨이퍼를 고온에서 1단계 열처리하고 저온 급속열처리 공정으로 2단계 열처리하는 것을 특징으로 한다.

<38> 이하, 본 발명에 따른 열처리를 통한 반도체 소자의 웨이퍼 제조방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

<39> 본 발명은 이상적인 고품질의 웨이퍼를 제조하기 위해 특히 기존 웨이퍼에서 문제가 되었던 그로운인 결함을 제거함과 동시에, 게터링(gettering) 능력을 향상시키기 위하여 BMD 밀도를 원하는 수준으로 형성시키고자 한다.

<40> 결정 성장 시 발생하는 그로운인 결함과 산소의 석출거동으로 인해 발생하는 여러 가지 떠들은 거의 대부분 열이력에 기인하고 이러한 열이력은 결정성장로의 열적 환경(thermal hot zone)에 크게 의존한다.

<41> 즉, 그로운인 결함과 산소의 석출거동으로 인해 발생하는 여러 가지 떠는 결정성장 시 실리콘 용융액과 실리콘 잉곳이 접하는 성장계면 근처에서의 온도 기울기 분포와 결정 성장된 잉곳의 냉각 환경에 크게 의존한다.

<42> 본 발명에서는 OSF 링을 실리콘 잉곳의 가장자리 쪽으로 확장하여 제거하고, 고밀도 BMD 형성이 용이한 영역인 B, C 영역이 확장되도록 실리콘 잉곳을 성장하기 위해 다음과 같은 방법으로 실리콘 단결정을 성장시킨다.

<43> 먼저, 실리콘 용융액으로부터 결정성장된 잉곳으로 올라가는 열을 차단하여 결정성장된 잉곳의 냉각 속도를 빠르게 하고, 실리콘 용융액과 결정성장되는 잉곳이 접하는 성장계면 근처에서 온도 기울기 분포가 잉곳의 중심부에서 가장자리까지 일정하게 유지시켜 준다.

<44> 이러한 방법으로, OSF 링이 실리콘 단결정 성장 축방향의 중심에서 가장자리 쪽으로 확장하여 제거되면 COP와 같은 그로운인 결함의 크기가 매우 작게 형성된다. 그리고, 베이컨시 클러스터와 관련된 결함이 존재하지 않거나 미소 결함들만이 존재하며, 또한 고밀도 BMD 형성이 용이한 영역인 B, C 영역이 웨이퍼 직경의 20% 내지 90%까지 확장된 실리콘 잉곳을 제조한 다음, 잉곳을 슬라이싱하여 웨이퍼 상태로 만든다.

<45> 도 2는 본 발명에 따라 제조된 실리콘 웨이퍼의 단면도로서, 이에 도시된 바와 같이, 웨이퍼의 가장자리에 OSF 링이 존재하고 있고, 가장자리를 제외한 웨이퍼의 전면 B, C 영역이 확장되어 있다.

<46> 다음, 상기한 방법으로 제조된 웨이퍼가 그로운인 결함과 금속 불순물이 동시에 제거된 무결함층(defect free layer)을 가지도록 하기 위해, 수직 확산로 공정과 저온 RTA

공정을 이용하여 완벽하게 그라운인 결함을 제거하고 웨이퍼 내의 일정한 깊이에 고밀도 BMD 층을 형성시켜 게터링 능력을 강화시키는데, 이에 대한 상세한 설명은 다음과 같다.

<47> 웨이퍼를 1200℃ 이상의 고온에서 20분 내지 3시간 동안 열처리하며, 이를 1단계 열처리라 한다. 1단계 열처리의 분위기는 수소, 불활성 가스, 수소와 불활성 가스의 혼합가스, 산소와 불활성 가스의 혼합가스 중의 어느 한 분위기로 하면 된다. 이 때 불활성 가스의 유량은 2 slm 내지 50 slm 범위이고, 혼합가스 분위기일 경우에는 혼합가스의 유량을 2 slm 내지 50 slm 범위로 한다. 그리고, 열처리 공정 온도까지의 온도 상승속도는 5℃/분 내지 100℃/분 범위로 하고, 1단계 열처리 후 냉각속도는 5℃/분 내지 100℃/분 범위로 한다.

<48> 다음, 1단계 열처리한 웨이퍼를 800℃ 이하의 온도에서 저온 RTA 공정으로 열처리하며, 이를 2단계 열처리라 한다. 2단계 열처리의 분위기는 질소, 수소, 질소와 불활성 가스의 혼합가스, 수소와 불활성 가스의 혼합가스 중의 어느 한 분위기로 하면 된다.

<49> 상기한 바와 같은 1단계 열처리 및 2단계 열처리를 거치면, 그라운인 결함이 제거되고, 이와 동시에 고밀도 BMD가 형성되어 금속 불순물이 제거되므로 웨이퍼의 표면으로부터 무결함 층이 확보된다.

<50> 이와 같이 무결함 층이 확보된 웨이퍼 상에 1μm 내지 20μm 두께의 에피택셜 층을 성장시켜 반도체 소자의 웨이퍼로 사용할 수도 있다.

#### 【발명의 효과】

<51> 상기한 바와 같이, 본 발명에서는 단결정 성장 시 OSF 링을 단결정 성장 축 방향의 중심에서 가장자리로 완전히 빼내어 COP와 같은 그라운인 결함의 크기를 매우 작게 하고

, 내부에 베이컨시 클러스터와 관련된 결함들이 존재하지 않거나 미소 결함들만이 존재하는 잉곳으로부터 제작된 웨이퍼를 열처리하므로, 웨이퍼 내의 그로운인 결함이 완벽하게 제거되는 효과가 있다.

활성 <52> 이와 동시에, 본 발명에서는 B, C 영역을 확장시킨 잉곳으로부터 제조된 웨이퍼를 급속열처리하여 고밀도 BMD를 형성하므로 웨이퍼 내부의 금속 불순물이 제거되어 웨이퍼의 표면으로부터 무결함층이 형성되는 효과가 있으며, 따라서 본 발명에서는 그로운인 결함과 금속 불순물이 동시에 제거된 이상적인 반도체 웨이퍼를 제조하는 효과가 있다.

<53> 또한, 본 발명에 따른 반도체 웨이퍼의 열처리 방법에서는 800℃ 이하의 비교적 저온에서 급속열처리하므로, 종래 1000℃ 이상의 고온 급속열처리 과정에서 발생하였던 슬립전위가 발생하지 않는 효과가 있다.



**【특허청구범위】****【청구항 1】**

단결정성장된 반도체 결정 내에 포함된 결함을 제거하기 위한 반도체 웨이퍼의 열처리 방법에 있어서,

반도체 웨이퍼를 1200℃ 이상의 온도에서 1단계 열처리한 후, 800℃ 이하의 온도에서 급속열처리(RTA : rapid thermal annealing)공정으로 2단계 열처리하는 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 1단계 열처리는 20분 내지 3시간 동안 수행하는 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 1단계 열처리는,

수소, 불활성 가스, 수소와 불활성 가스의 혼합가스, 산소와 불활성 가스의 혼합가스 중의 어느 한 분위기로 하는 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

**【청구항 4】**

제 3 항에 있어서,

상기 불활성 가스의 유량은 2 slm 내지 50 slm 이고, 상기 혼합가스의 유량은 2 slm 내지 50 slm 인 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

## 【청구항 5】

제 1 항 또는 제 2 항에 있어서,

상기 1단계 열처리하는 온도까지의 상승속도는 5℃/분 내지 100℃/분이고, 상기 1단계 열처리 후 냉각속도는 5℃/분 내지 100℃/분인 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

## 【청구항 6】

제 1 항 또는 제 2 항에 있어서,

상기 2단계 열처리는 2분 이하의 시간동안 수행하는 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

## 【청구항 7】

제 1 항 또는 제 2 항에 있어서,

상기 반도체 웨이퍼는 실리콘 웨이퍼인 것을 특징으로 하는 반도체 웨이퍼의 열처리 방법.

## 【청구항 8】

OSF 링을 반도체 단결정 성장 축 방향의 중심에서 가장자리로 이동시켜 제거하고, 초기 산소농도와 열처리 후 산소농도의 차인 델타 [0i]가 급격하게 증가되는 영역을 확장시키도록 반도체 단결정 잉곳을 제작하는 단계와;

상기 반도체 단결정 잉곳을 슬라이싱하여 웨이퍼로 제작하는 단계와;

상기 웨이퍼를 1200℃ 이상의 온도에서 1단계 열처리한 후, 800℃ 이하의 온도에서 급속열처리(RTA : rapid thermal annealing)공정으로 2단계 열처리하는 단계

를 포함하여 이루어지는 것을 특징으로 하는 반도체 웨이퍼 제조방법.

【청구항 9】

단결정성장된 반도체 결정으로부터 제작되는 반도체 웨이퍼에 있어서,

OSF 링이 반도체 단결정 성장 축 방향의 중심에서 가장자리로 빠져서 제거되고,  
초기 산소농도와 열처리 후 산소농도의 차인 델타 [O<sub>i</sub>]가 급격하게 증가되는 영역이 확장되도록 성장된 반도체 단결정 잉곳으로부터 제작되며,

열처리를 통해 그로운인(grown-in) 결함이 제거되고 내부에 BMD(bulk micro-defect)가 형성되어, 표면으로부터 소정깊이로 무결함층이 형성된 반도체 웨이퍼.

【청구항 10】

제 9 항에 있어서,

상기 초기 산소농도와 열처리 후 산소농도의 차인 델타 [O<sub>i</sub>]가 급격하게 증가되는 영역은,

웨이퍼 직경의 20% 내지 90%까지 확장된 것을 특징으로 하는 반도체 웨이퍼.

【청구항 11】

제 9 항에 있어서,

상기 무결함층은 표면으로부터 10 $\mu$ m 내지 100 $\mu$ m의 깊이로 형성된 것을 특징으로 하는 반도체 웨이퍼.

【청구항 12】

제 9 항 내지 제 11 항 중의 어느 한 항에 있어서,

상기 반도체 웨이퍼는 1200℃ 이상의 온도에서 1단계 열처리된 후, 800℃ 이하의 온도에서 급속열처리(RTA : rapid thermal annealing)공정으로 2단계 열처리된 것을 특징으로 하는 반도체 웨이퍼.

【청구항 13】

제 9 항 내지 제 11 항 중의 어느 한 항에 있어서,

상기 반도체 웨이퍼는 실리콘 웨이퍼인 것을 특징으로 하는 반도체 웨이퍼.

【청구항 14】

OSF 링이 반도체 단결정 성장 축 방향의 중심에서 가장자리로 빠져서 제거되고, 초기 산소농도와 열처리 후 산소농도의 차인 델타 [0i]가 급격하게 증가되는 영역이 확장 되도록 성장된 반도체 단결정 잉곳으로부터 제작되며,

열처리를 통해 그로운인 결함이 제거되고 내부에 BMD가 형성되어, 표면으로부터 소정깊이로 무결함층이 형성되며,

상면에 에피택셜(epitaxial) 층이 성장된 반도체 에피택셜 웨이퍼.

【청구항 15】

제 14 항에 있어서,

상기 에피택셜층은 1 $\mu$ m 내지 20 $\mu$ m의 두께로 성장된 것을 특징으로 하는 반도체 에피택셜 웨이퍼.

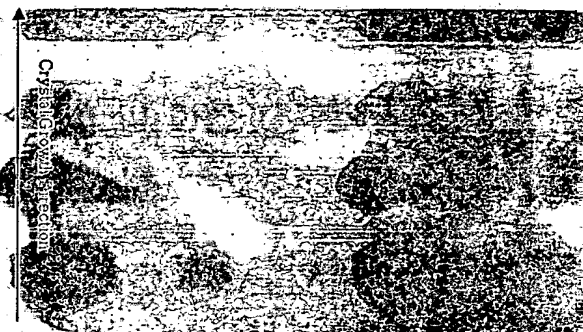
【청구항 16】

제 14 항 또는 제 15 항에 있어서,

상기 반도체 에피택셜 웨이퍼는 20분 내지 3시간 동안 1단계 열처리된 후, 2분 이하의 시간동안 급속열처리 공정으로 2단계 열처리된 것을 특징으로 하는 반도체 에피택셜 웨이퍼.

【도면】

【도 1】



【도 2】

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
1.30	7.74	3.33	3.33	6.76	6.76	6.30	6.27	9.16	8.09	9.40	9.88	8.05	8.11	7.77	7.77	7.85	7.94	7.98	7.99	6.26	6.26	6.43	8.71	8.68	5.19	5.23	6.26	-8.8	
2.32	6.32	8.31	9.17	6.1	6.0	6.0	6.20	8.1	8.05	8.13	8.17	7.81	7.72	7.77	7.78	7.88	7.99	8.17	7.97	6.16	6.16	6.48	8.68	8.68	3.92	3.92	8.64	7.17	
3.523	5.91	8.2	2.17	5.0	6.0	6.76	6.82	8.42	8.37	8.33	8.13	8.11	8.07	7.84	7.84	7.93	7.26	8.05	8.13	8.24	8.27	6.38	6.48	8.68	3.97	3.97	8.68	7.11	
4.972	6.2	8.76	2.29	6.4	6.2	6.22	6.12	9.28	8.22	8.78	8.73	8.67	8.58	8.63	8.62	8.54	8.05	8.67	8.78	8.88	8.71	8.22	6.28	6.28	3.53	3.53	3.22	6.94	
5.50	5.14	6.3	2.3	6.2	6.2	6.22	6.12	9.28	8.22	8.78	8.73	8.67	8.58	8.63	8.62	8.54	8.05	8.67	8.78	8.88	8.71	8.22	6.28	6.28	3.53	3.53	3.22	7.70	
6.34	5.22	4.94	6.71	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	6.4	
7.54	6.02	4.51	6.1	6.7	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	6.8	
8.313	4.38	3.34	2.48	5.16	6.83	6.02	6.8	6.01	6.22	6.0	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	6.22	6.01	
9	-0.12	1.22	1.4	1.13	2.07	2.2	3.81	5.38	7.04	8.64	10.1	10.7	11.2	11.6	11.9	12.1	12.2	12.3	12.4	12.5	12.6	12.7	12.8	12.9	13.0	13.1	13.2	13.3	
10.12	1.73	2.5	3.23	2.01	1.07	1.48	1.16	1.48	2.04	3.32	5.5	7.36	9.07	10.7	12.2	13.5	14.7	15.8	16.8	17.8	18.7	19.6	20.5	21.4	22.3	23.2	24.1	25.0	
11.12	2.5	4.1	1.87	1.17	1.16	1.28	1.91	1.44	1.16	1.16	0.95	1.1	1.12	1.03	1.05	1.1	0.98	0.97	0.98	0.97	0.99	1.01	1.01	1.01	1.01	1.01	1.01	1.01	
12.12	2.65	3.8	0.94	0.96	0.92	1.01	1.04	1.1	1.18	1.16	0.95	1.1	1.12	1.03	1.05	1.1	0.98	0.97	0.98	0.97	0.99	1.01	1.01	1.01	1.01	1.01	1.01	1.01	
13.12	1.16	0.98	1.08	0.99	1.18	1.78	1.66	1.61	1.63	1.44	1.44	1.25	1.3	1.37	1.2	1.22	1.27	1.3	1.36	1.34	1.26	1.16	1.11	1.04	1.15	1.61			
14.095	0.99	-1.03	1.22	1.31	1.28	1.95	1.44	1.49	1.47	1.57	1.68	1.67	1.58	1.62	1.48	1.43	1.45	1.42	1.35	1.3	1.29	1.22	1.29	1.2	1.19	1.14	1.15	1.34	
15.107	0.97	-1.08	1.08	1.14	1.2	1.42	1.36	1.48	1.51	1.42	1.62	1.62	1.55	1.55	1.53	1.44	1.4	1.38	1.35	1.31	1.4	1.3	1.33	1.27	1.31	1.23	1.21	1.41	
16.125	1.1	1.25	1.11	1.45	1.4	1.48	1.48	1.31	1.36	1.6	1.43	1.35	1.4	1.33	1.43	1.52	1.37	1.4	1.38	1.45	1.24	1.34	1.19	1.26	1.4	1.31	1.24	1.08	1.17
17.082	0.8	1.01	1.2	1.05	0.84	1.24	1.3	1.1	1.24	1.15	1.22	1.02	1.03	1.1	1.11	1.04	0.92	1.05	0.96	0.97	0.88	0.82	0.84	0.83	0.8	0.88	0.89	0.9	0.93
18.08	0.72	0.84	0.78	0.83	0.73	0.7	0.63	0.62	0.57	0.68	0.81	0.84	0.84	0.78	0.78	0.84	0.87	0.87	0.8	0.81	0.82	0.83	1.03	1.12	1.07	0.98	0.97	0.92	0.93
19.033	1.38	0.86	0.83	0.98	1.1	1.07	1.07	1.13	1.2	1.11	1.28	1.24	1.28	1.09	1.11	1.04	0.94	1.08	1.08	1.12	1.1	1.2	1.11	1.12	1.01	1.08	1.11	0.98	0.93

【도 3】

